

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-354807

(43) 公開日 平成11年(1999)12月24日

(51) Int.Cl.⁵

識別記号

F I

H 0 1 L 29/786

H 0 1 L 29/78

6 2 6 C

21/762

27/08

3 3 1 E

21/76

21/76

D

27/08

3 3 1

L

29/78

29/78

3 0 1 W

審査請求 未請求 請求項の数 7 O L (全 19 頁) 最終頁に続く

(21) 出願番号

特願平10-162597

(22) 出願日

平成10年(1998)6月10日

(71) 出願人 000003997

日産自動車株式会社

神奈川県横浜市神奈川区宝町2番地

(72) 発明者 下井田 良雄

神奈川県横浜市神奈川区宝町2番地 日産
自動車株式会社内

(72) 発明者 早見 泰明

神奈川県横浜市神奈川区宝町2番地 日産
自動車株式会社内

(72) 発明者 星 正勝

神奈川県横浜市神奈川区宝町2番地 日産
自動車株式会社内

(74) 代理人 弁理士 三好 秀和 (外 8 名)

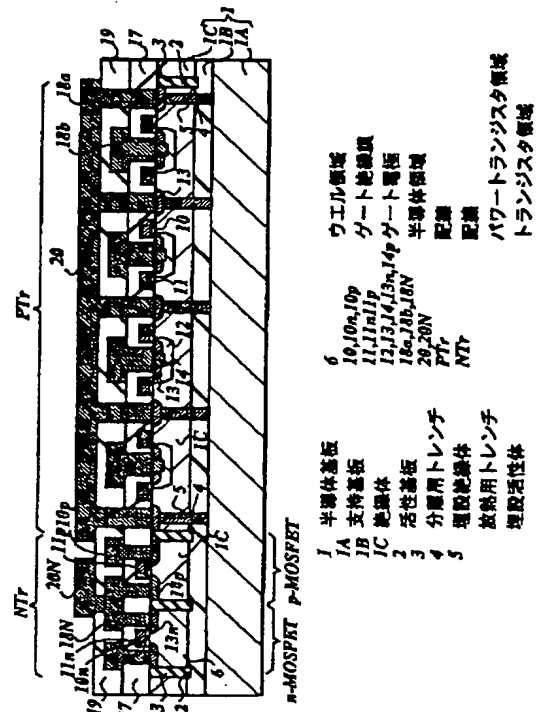
最終頁に続く

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】 支持基板 1 A に絶縁体 1 B を介在して活性基板 1 C を張り合わせた S O I 構造の半導体基板 1 を有効に利用しつつ、素子領域で発生した熱の放熱効果が簡易に向上できる半導体装置及びその製造方法を提供する。インテリジェントパワーデバイスを備えた半導体装置を提供する。

【解決手段】 S O I 構造を採用する半導体基板 1 の活性基板 1 C 及び絶縁体 1 B を貫通する放熱用トレンチ 4 を形成し、この放熱用トレンチ 4 内部に埋設活性体 5 を埋設する。放熱用トレンチ 4 は素子分離領域の分離用トレンチ 2 を利用して形成される。埋設活性体 5 は、熱伝導性が高く、パワートランジスタの動作領域を形成する。パワートランジスタの動作で発生する熱は埋設活性体を通して支持基板 1 A に放出される。



【特許請求の範囲】

【請求項 1】 支持基板上に絶縁体を介して活性基板を形成した S O I 構造の半導体基板と、前記活性基板を貫通する第 1 トレンチと、前記第 1 トレンチ内部に埋設された埋設絶縁体と、前記半導体基板の素子領域の少なくとも一部に形成され前記活性基板及び絶縁体を貫通する第 2 トレンチと、少なくとも前記絶縁体に比べて熱伝導性が高くかつ導電性を有し、前記第 2 トレンチ内部に埋設された埋設活性体と、

を備えたことを特徴とする半導体装置。

【請求項 2】 前記第 2 トレンチ及び埋設活性体は前記素子領域の電流供給部に形成され、前記埋設活性体は電流供給が行われる動作領域を形成したことを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】 前記活性基板の素子領域にはパワートランジスタが形成され、前記埋設活性体は前記パワートランジスタの電流供給が行われる動作領域を形成したことを特徴とする請求項 1 又は請求項 2 に記載の半導体装置。

【請求項 4】 前記パワートランジスタは複数個の単位トランジスタセルを活性基板上に平面的に配列し、かつ電氣的に並列接続して構成され、前記第 2 トレンチ及び埋設活性体は単位トランジスタセル毎に配設されたことを特徴とする請求項 3 に記載の半導体装置。

【請求項 5】 前記埋設活性体は、抵抗値を低減する不純物がドーパされた多結晶珪素膜、高融点金属膜、又は多結晶珪素と高融点金属との化合物膜で形成されたことを特徴とする請求項 4 に記載の半導体装置。

【請求項 6】 支持基板上に絶縁体を介して活性基板を形成した S O I 構造の半導体基板と、前記半導体基板の絶縁体、及び前記活性基板を貫通する第 1 トレンチ内部に埋設された埋設絶縁体で周囲が取り囲まれた複数の素子領域と、前記素子領域の 1 つに配設されたトランジスタと、前記素子領域の他の 1 つに配設されたパワートランジスタと、前記パワートランジスタが形成された素子領域の少なくとも一部に形成され前記活性基板及び絶縁体を貫通する第 2 トレンチと、少なくとも前記絶縁体に比べて熱伝導性が高くかつ導電性を有し、前記第 2 トレンチ内部に埋設された埋設活性体と、を備えたことを特徴とする半導体装置。

【請求項 7】 支持基板上に絶縁体を介して活性基板を形成した S O I 構造の半導体基板において、素子分離領域の少なくとも一部と、素子領域の少なくとも一部とに前記活性基板を貫通する第 1 トレンチを形成する工程と、

前記素子分離領域の第 1 トレンチ内部に埋設絶縁体を埋設する工程と、

前記素子領域の第 1 トレンチ底部の絶縁体を除去し第 1 トレンチから第 2 トレンチを形成する工程と、

少なくとも前記絶縁体に比べて熱伝導性が高くかつ導電性を有する埋設活性体を前記第 2 トレンチ内部に埋設する工程と、

を備えたことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体装置及びその製造方法に関する。特に本発明は、素子分離領域で周囲が取り囲まれた素子領域にパワートランジスタを配設した半導体装置及びその製造方法に関する。さらに詳細には、本発明は、複数の素子領域を有し、素子領域の 1 つにパワートランジスタを配設し、素子領域の他の 1 つに通常のトランジスタを配設したインテリジェントパワーデバイス (IPD) を備え、放熱性に優れた半導体装置及びその製造方法に関する。

【0002】

【従来の技術】特開平 6-244274 号公報に、絶縁分離技術を利用しパワートランジスタと通常のトランジスタとを混在させたインテリジェントパワーデバイスとしての半導体装置が開示されている。図 18 (A) 乃至図 18 (C) はこの種の半導体装置の製造方法を工程毎に説明する工程断面図である。

【0003】(1) 図 18 (A) に示すように、第 1 半導体基板 30 の表面と第 2 半導体基板 31 の裏面とが接合される。第 2 半導体基板 31 の裏面側には、接合前にフォトリソグラフィ技術及びエッチング技術により凹部 311、凸部 312 及び複数の深溝 313 が形成される。凹部 311 は通常のトランジスタ形成領域 N T r に形成され、凸部 312 はパワートランジスタ形成領域 P T r に形成される。深溝 313 は素子分離領域に形成される。凹部 311 及び深溝 313 は第 1 半導体基板 30 と第 2 半導体基板 31 との間に気体通路を構築する。この気体通路は、基板端面で開口されるとともに、複数の橋梁により相互に連通されている。

【0004】(2) 図 18 (B) に示すように、第 1 半導体基板 30 と第 2 半導体基板 31 との接合基板を酸化雰囲気内で加熱し、凹部 311 に酸化珪素膜 32 を形成しつつ、深溝 313 の内壁に沿って深溝 313 を埋設する酸化珪素膜 33 を形成する。

【0005】(3) 図 18 (C) に示すように、深溝 313 が露出するまで第 2 半導体基板 31 の表面を研磨する。この表面の研磨により、第 2 半導体基板 31 において深溝 313 及び酸化珪素膜 33 で周囲が取り囲まれたパワートランジスタ形成領域 P T r、並びに深溝 313、酸化珪素膜 32 及び 33 で周囲及び底面が取り囲まれたトランジスタ形成領域 N T r が形成される。必要に

応じて、深溝 313 内部に形成された空洞には多結晶珪素膜が埋め込まれる。

【0006】トランジスタ形成領域 NTr には図示しないが低電圧で駆動する通常のトランジスタが形成され、この領域は第 1 半導体基板 30 上に酸化珪素膜 32 を介して第 2 半導体基板 31 を重ね合わせた部分的な SOI 構造の半導体基板になる。パワートランジスタ形成領域 PTr には同様に図示しないが高電圧で駆動するパワートランジスタが形成され、この領域の第 2 半導体基板 31 は第 1 半導体基板 30 に直接接合される。

【0007】このように構成される半導体装置においては、パワートランジスタの動作で発生する熱がパワートランジスタ形成領域 PTr の第 2 半導体基板 31 から第 1 半導体基板 30 に直接逃げるので、放熱性がバルクウエハなみに高い特徴がある。

【0008】

【発明が解決しようとする課題】しかしながら、前述の従来技術に係るインテリジェントパワーデバイスとしての半導体装置においては、以下の点について配慮がなされていない。

【0009】(1) 放熱性に優れた特徴があるものの、第 1 半導体基板 30 と第 2 半導体基板 31 との接合前（ウエハの張り合わせ前）から第 2 半導体基板 31 の裏面に凹部 311 及び深溝 313 を形成するパターンニング工程が必要になる。さらに、接合後においても酸化雰囲気中において酸化珪素膜 32 及び 33 を形成する工程が必要になる。このため、部分的な SOI 構造の半導体基板の形成に複雑な製造プロセスが必要になるばかりか、製造工程数が増加する。製造プロセスの複雑化並びに製造工程数の増加は半導体装置の製造コストを増大する。

【0010】(2) 部分的な SOI 構造の半導体基板は、第 2 半導体基板 31 の裏面に凹部 311、凸部 312 及び深溝 313 が形成されている。トランジスタ形成領域 NTr にトランジスタを形成する際、パワートランジスタ形成領域 PTr にパワートランジスタを形成する際には、第 2 半導体基板 31 の裏面、表面のそれぞれの間でアライメントを行う必要がある。ところが、第 2 半導体基板 31 の裏面に凹部 311 等のパターンが形成されているので、通常のアライナでアライメントが行えず、専用に高価な透過型アライナが必要になる。このため、半導体装置の製造コストが増大する。

【0011】本発明は上記課題を解決するためになされたものである。従って、本発明の目的は、支持基板に絶縁体を介して活性基板を張り合わせた SOI 構造の半導体基板を有効に利用しつつ、素子領域で発生した熱の放熱効果が簡易に向上できる半導体装置を提供することである。特に本発明の目的は、トレンチを利用した絶縁分離構造で素子領域を分離し、通常のトランジスタとパワートランジスタとを混在するインテリジェントパワー

デバイスを備えた半導体装置を提供することである。

【0012】さらに、本発明の目的は、SOI 構造の半導体基板の形成に複雑な製造プロセスを必要とせず、かつ製造工程数が少なく、全体の製造工程数を削減できる半導体装置の製造方法を提供することである。特に、本発明の目的は、市販される SOI 構造の半導体基板をそのまま使用し、前述の放熱効果を簡易に向上しつつ、製造工程数が削減できる半導体装置の製造方法を提供することである。

【0013】

【課題を解決するための手段】上記課題を解決するために、この発明の第 1 の特徴は、半導体装置において、支持基板上に絶縁体を介して活性基板を形成した SOI 構造の半導体基板と、活性基板を貫通する第 1 トレンチと、第 1 トレンチ内部に埋設された埋設絶縁体と、半導体基板の素子領域の少なくとも一部に形成され活性基板及び絶縁体を貫通する第 2 トレンチと、少なくとも絶縁体に比べて熱伝導性が高くかつ導電性を有し、第 2 トレンチ内部に埋設された埋設活性体と、を備えたことである。

【0014】このように構成された半導体装置においては、半導体基板の絶縁体及び第 1 トレンチ内部に埋設された埋設絶縁体が素子の底面及び側面を取り囲む素子分離領域を形成する。素子領域において半導体基板の活性基板及び第 2 トレンチ内部に埋設された埋設活性体は素子の動作領域を形成する。素子は好ましくはパワートランジスタであり、活性基板及び埋設活性体はパワートランジスタの動作領域を形成する。そして、第 2 トレンチ内部に埋設された埋設活性体は素子の動作で発生した熱を支持基板側に放熱する放熱経路を構築する。従って、素子分離領域で周囲を囲まれた素子の動作で発生する熱が埋設活性体を通して支持基板に放出できるので、半導体装置の放熱効果が向上できる。さらに、第 2 トレンチを形成しこの第 2 トレンチ内部に埋設活性体を埋め込むことで放熱効果が向上できるので、支持基板に絶縁体を介して活性基板を張り合わせた既存の SOI 構造の半導体基板が利用でき、簡易に半導体装置が構築できる。

【0015】この発明の第 2 の特徴は、第 2 トレンチ及び埋設活性体を素子領域の電流供給部に配設し、埋設活性体は電流供給が行われる動作領域を形成したことである。具体的には、活性基板の素子領域にはパワートランジスタが配設され、埋設活性体はパワートランジスタの電流供給が行われる動作領域を形成する。パワートランジスタはパワー MOSFET 又は IGBT であり、電流供給が行われる動作領域はパワー MOSFET のドレイン領域又は IGBT のコレクタ領域である。

【0016】このように構成される半導体装置においては、電流供給部若しくは電流供給が行われる動作領域は熱発生量が最も大きい発熱体になる。この発熱体で発生した熱が第 2 トレンチに埋設された埋設活性体を放熱経

路として即座にかつ効率良く支持基板側に放熱できるので、半導体装置の放熱効果をより一層向上できる。特に、パワーMOSFET又はIGBTは大電流駆動素子であるので、放熱効果の向上は動作上の信頼性を確保するために有効である。

【0017】この発明の第3の特徴は、パワートランジスタが複数の単位トランジスタセルを活性基板上に平面的に配列しかつ電氣的に並列接続して構成され、第2トレンチ及び埋設活性体は単位トランジスタセル毎に配設されたことである。

【0018】このように構成される半導体装置においては、パワートランジスタの単位トランジスタセル毎に放熱経路が配設され、単位トランジスタセル数に対応して複数の放熱経路が配設されるので、放熱効果がより一層向上できる。

【0019】この発明の第4の特徴は、埋設活性体が、抵抗値を低減する不純物がドーパされた多結晶珪素膜、高融点金属膜、又は多結晶珪素と高融点金属との化合物（高融点金属シリサイド）膜で形成されたことである。

【0020】このように構成される半導体装置においては、特に埋設活性体が高融点金属膜又は化合物膜で形成される場合、電気抵抗値が減少でき、パワートランジスタの動作速度の高速化が実現できるとともに、熱伝導率が減少でき、より一層放熱効果が向上できる。

【0021】この発明の第5の特徴は、支持基板上に絶縁体を介して活性基板を形成したSOI構造の半導体基板と、半導体基板の絶縁体、及び半導体基板の素子分離領域に形成され活性基板を貫通する第1トレンチ内部に埋設された埋設絶縁体で周囲が取り囲まれた複数の素子領域と、素子領域の1つに配設されたトランジスタと、素子領域の他の1つに配設されたパワートランジスタと、パワートランジスタが形成された素子領域の少なくとも一部に形成され活性基板及び絶縁体を貫通する第2トレンチと、少なくとも絶縁体比べて熱伝導性が高くかつ導電性を有し第2トレンチ内部に埋設された埋設活性体と、を備えたことである。

【0022】このように構成される半導体装置においては、通常のトランジスタとパワートランジスタとが同一半導体基板に混在するインテリジェントパワーデバイスが構築でき、しかもパワートランジスタが形成された素子領域の放熱効果が向上できる。

【0023】この発明の第6の特徴は、半導体装置の製造方法において、下記工程（1）乃至工程（4）を備えたことである：

（1）支持基板上に絶縁体を介して活性基板を形成したSOI構造の半導体基板において、素子分離領域の少なくとも一部と、素子領域の少なくとも一部とに活性基板を貫通する第1トレンチを形成する工程；

（2）素子分離領域の第1トレンチ内部に埋設絶縁体を埋設する工程；

（3）素子領域の第1トレンチ底部の絶縁体を除去し第1トレンチから第2トレンチを形成する工程；

（4）少なくとも絶縁体比べて熱伝導性が高くかつ導電性を有する埋設活性体を第2トレンチ内部に埋設する工程。

【0024】このような半導体装置の製造方法においては、支持基板と活性基板との張り合わせ前にパターンニングを必要としない通常の（若しくは市販されている）SOI構造の半導体基板が半導体装置の形成に使用できる。従って、SOI構造の半導体基板を形成する工程が実質的に半導体装置の製造プロセスに組み込まれないので、半導体装置の製造工程数が削減できる。しかも、第1トレンチ、第2トレンチ等が、高価な透過型アライナを必要とせず、通常のアライナを使用して活性基板の表面から加工できる。

【0025】さらに、素子分離領域の第1トレンチを形成する工程で、素子領域の第2トレンチの一部を形成できるので、第2トレンチ全体を形成する工程が短縮でき、半導体装置の製造プロセスが簡易になるとともに、第2トレンチを独立に形成した場合のマスク形成工程がなくなるので、半導体装置の製造工程数が削減できる。

【0026】

【発明の効果】本発明は、支持基板に絶縁体を介して活性基板を張り合わせたSOI構造の半導体基板を有効に利用しつつ、素子領域で発生した熱の放熱効果が簡易に向上できる半導体装置を提供できる。特に本発明は、トレンチを利用した絶縁分離構造で素子領域を分離し、通常のトランジスタとパワートランジスタとを混在するインテリジェントパワーデバイスを備えた半導体装置を提供できる。

【0027】さらに、本発明は、SOI構造の半導体基板の形成に複雑な製造プロセスを必要とせず、かつ製造工程数が少なく、全体の製造工程数を削減できる半導体装置の製造方法を提供できる。特に、本発明は、市販されるSOI構造の半導体基板をそのまま使用し、前述の放熱効果を簡易に向上しつつ、製造工程数が削減できる半導体装置の製造方法を提供できる。

【0028】

【発明の実施の形態】（第1の実施の形態）

<半導体装置の構造>以下、本発明の実施の形態を図面を参照し説明する。図1は本発明の第1の実施の形態に係るインテリジェントパワーデバイスを備えた半導体装置の断面構造図である。図1に示すように、本実施の形態に係るインテリジェントパワーデバイスを備えた半導体装置はSOI構造を採用する半導体基板1で構成される。半導体基板1は支持基板1Aの表面上に絶縁体1Bを介して活性基板1Cの裏面を張り合わせて形成される。支持基板1Aはp型単結晶珪素基板で形成される。絶縁体1Bは例えば酸化珪素膜で形成される。活性基板1Cは、トランジスタの動作領域を構築し、本実施の形

態において低不純物濃度に設定されたn型単結晶珪素基板で形成される。

【0029】半導体基板1の活性基板1Cには素子分離領域で周囲を取り囲まれた複数の素子領域が配設される。素子領域には少なくともトランジスタ形成領域NT_r、パワートランジスタ形成領域PT_rを備え、トランジスタ形成領域NT_rには通常のトランジスタ、パワートランジスタ形成領域PT_rにはパワートランジスタがそれぞれ配設される。本実施の形態において、トランジスタとしては相補型MOSFETが形成され、パワートランジスタとしては横型パワーMOSFETが形成される。

【0030】素子分離領域は、半導体基板1の絶縁体1Bと、活性基板1Cの表面から裏面に貫通し絶縁体1Cに達する分離用トレンチ（深溝、第1トレンチ）2と、分離用トレンチ2内部に埋設された埋設絶縁体3とで形成される。すなわち、素子分離領域は、素子領域（活性基板1C）の底面を絶縁体1Bで覆い、素子領域の周囲を埋設絶縁体3で覆う。分離用トレンチ2は基本的にはRIE等の異方性エッチングで形成され、分離用トレンチ2の平面上の占有面積はできる限り小さく設定される。埋設絶縁体3は本実施の形成において酸化珪素膜が使用される。なお、埋設絶縁体3には、他に窒化珪素膜、又は酸化珪素膜と窒化珪素膜と多結晶珪素膜とを組み合わせて形成してもよい。後者の場合、分離用トレンチ2の内壁及び底面に沿って酸化珪素膜又は窒化珪素膜が形成され、この酸化珪素膜又は窒化珪素膜を介して分離用トレンチ2内部に多結晶珪素膜が埋設される。

【0031】図1中、左側に示すように、トランジスタ形成領域NT_rには相補型MOSFETが形成される。相補型MOSFETのpチャネルMOSFET（p-MOSFET）は、素子分離領域で周囲を囲まれた領域内において、チャネル領域、ゲート絶縁膜10p、ゲート電極11p、ソース領域及びドレイン領域として使用される一対の高不純物濃度のp型半導体領域14pを備え構築される。チャネル領域は活性基板1C表面部に形成される。ゲート絶縁膜10pは、活性領域1Cの表面上に形成され、例えば酸化珪素膜で形成される。ゲート電極11pは、ゲート絶縁膜10pの表面上に形成され、例えば抵抗値を低減するn型不純物がドーパされた多結晶珪素膜で形成される。半導体領域14pはゲート電極11pの側部において活性基板1Cの表面部に形成される。

【0032】相補型MOSFETのnチャネルMOSFET（n-MOSFET）は、同様に素子分離領域で周囲を囲まれた領域内において、チャネル領域、ゲート絶縁膜10n、ゲート電極11n、ソース領域及びドレイン領域として使用される一対の高不純物濃度のn型半導体領域13nを備え構築される。チャネル領域は活性基板1Cに形成された低不純物濃度のp型ウエル領域6表

面部に形成される。ゲート絶縁膜10nは、ウエル領域6表面上に形成され、例えば同様に酸化珪素膜で形成される。ゲート電極11nは、ゲート絶縁膜10nの表面上に形成され、同様に多結晶珪素膜で形成される。半導体領域13nはゲート電極11nの側部においてウエル領域6の表面部に形成される。

【0033】pチャネルMOSFETの半導体領域14p、nチャネルMOSFETの半導体領域13nのそれぞれには配線（第1層目配線）18Nが電気的に接続され、この配線18Nには上層の配線（第2層目配線）20Nが電気的に接続される。配線18Nは、層間絶縁膜17上に形成され、この層間絶縁膜17に形成された接続孔（符号は付けない。）を通して半導体領域13n又は14pに電気的に接続される。配線20Nは、層間絶縁膜19上に形成され、この層間絶縁膜19に形成された接続孔（同様に符号は付けない。）を通して配線18Nに電気的に接続される。

【0034】なお、ゲート絶縁膜10p、10nのそれぞれには、窒化珪素膜、酸化珪素膜と窒化珪素膜とを積層した複合膜のいずれかが使用できる。この場合には、pチャネルMOSFETはpチャネルMISFETに、nチャネルMOSFETはnチャネルMISFETになる（後述するパワーMOSFETも同様。）。さらに、ゲート電極11p、11nのそれぞれには、高融点金属膜、高融点金属と珪素との化合物（高融点金属シリサイド）膜が使用できる。

【0035】図1中、右側に示すように、パワートランジスタ形成領域PT_rには横型パワーMOSFETが形成される。図2はパワートランジスタ形成領域PT_rに形成された横型パワーMOSFETの平面構造図である。図2に示すように、横型パワーMOSFETは、複数の単位トランジスタセルUCを行方向及び列方向に配列し、これらの単位トランジスタセルUCを電気的に並列接続することにより構築される。

【0036】図1に示すように、複数の単位トランジスタセルUCで構築された横型パワーMOSFETにおいては、全体として1つの素子分離領域により周囲を取り囲まれる。素子分離領域は、トランジスタ形成領域NT_rを取り囲む素子分離領域と同様に、半導体基板1の絶縁体1B、分離用トレンチ2及び分離用トレンチ2内部に埋設された埋設絶縁体3で形成される。

【0037】図1及び図2に示すように、横型パワーMOSFETの1つの単位トランジスタセルUCは、ドレイン領域、ベース領域、ソース領域、ゲート絶縁膜10及びゲート電極11を備え構築される。

【0038】この単位トランジスタセルUCのドレイン領域は、低不純物濃度に設定されたn型の活性基板1C、放熱用トレンチ（深溝、第2トレンチ）4内部に埋設された埋設活性体5、及び埋設活性体5の上部において活性基板1Cの表面部分に形成された高不純物濃度の

n型半導体領域13で形成される。活性基板1Cは単位トランジスタセルUCの実質的なドレイン領域として使用される。

【0039】放熱用トレンチ4は、ドレイン電流供給部(供給部直下)において、半導体基板1の活性基板1C及び絶縁体1Bを貫通し、少なくとも支持基板1A表面に放熱用トレンチ4の底面に到達する深さで形成される。放熱用トレンチ4は基本的には分離用トレンチ2と同様にRIE等の異方性エッチングを主体に形成され、放熱用トレンチ4の平面上の占有面積はできる限り小さく設定される。

【0040】放熱用トレンチ4内部に埋設された埋設活性体5は、少なくとも導電性を有しかつ半導体基板1の絶縁体1B又は分離用トレンチ2内部の埋設絶縁体3に比べて高い熱伝導率を有する。本実施の形態において、埋設活性体5には高不純物濃度でn型不純物、詳細には燐、砒素若しくはアンチモンがドーパされた多結晶珪素膜が使用される。埋設活性体5は、ドレイン領域、具体的には活性基板1Cで形成されるドレイン領域とドレイン領域にドレイン電流を供給する配線(ドレイン電極)18aとの間を電気的にかつ低抵抗値で接続するドレインシンカー領域として使用される。さらに、埋設活性体5は、放熱用トレンチ4を通して半導体基板1の支持基板1A表面に接合されており、単位トランジスタセルUCの動作で発生する熱を支持基板1A側に伝達する放熱経路を構築する。図1及び図2に示すように、1組の放熱用トレンチ4及びこの放熱用トレンチ4内部に埋設された埋設活性体5は、単位トランジスタセルUC毎に、本実施の形態においては1個の単位トランジスタセルUC毎に配設される。

【0041】パワートランジスタ部PTrのドレイン領域を形成する半導体領域13は、活性基板1Cの表面部分に形成され、埋設活性体5の上部と電気的に接続される。半導体領域13は、埋設活性体5と同様にドレインシンカー領域として使用されるとともに、配線18aとの間のオーミック接続を確保する。

【0042】単位トランジスタセルUCのベース領域は、活性基板1Cの表面部分に形成され、低不純物濃度のp型半導体領域12で形成される。半導体領域12は、ゲート電極11をマスクとして使用した不純物導入により形成され、ゲート電極11に対して自己整合で形成される。このチャネル領域である半導体領域12はソース領域の中央部分を突き抜けた高不純物濃度のp型半導体領域14に電気的に接続され、この半導体領域14を通してベース領域の電位が取り出される。

【0043】ソース領域は、ベース領域となる半導体領域12の表面部分に形成され、高不純物濃度のn型半導体領域13で形成される。半導体領域13は半導体領域12と同様にゲート電極11に対して自己整合で形成され、この半導体領域13、12のそれぞれはいわゆる2

重拡散構造で構成される。

【0044】単位トランジスタセルUCのゲート絶縁膜10、ゲート電極11は基本的には前述の相補型MOSFETのゲート絶縁膜10n、10p、ゲート電極11n、11pのそれぞれと同一構造で形成される。

【0045】図2に示すように、単位トランジスタセルUCのドレイン領域を形成する半導体領域13、ソース領域を形成する半導体領域13のそれぞれは、行方向、列方向に交互に配列され、チェッカーボード模様を形成する。

【0046】図1に示すように、横型パワーMOSFETの単位トランジスタセルUCにおいて、ドレイン領域を形成する半導体領域13には配線18aが電気的に接続され、この配線18aには上層の配線20が電気的に接続される。ソース領域を形成する半導体領域13には配線(ソース電極)18bが接続され、この同一の配線18bはベース領域を形成する半導体領域12に半導体領域14を通して電気的に接続される。

【0047】<横型パワーMOSFETの動作>次に、前述の図1及び図2に示す横型パワーMOSFETの動作を説明する。横型パワーMOSFETのそれぞれの単位トランジスタセルUCにおいて、ソース領域、ベース領域のそれぞれに接地電位又は低電位が供給され、ドレイン領域に素子耐圧以下の高電位が供給される。それぞれの単位トランジスタセルUCのドレイン領域とソース領域との間には電位差が生じ、この状態でゲート電極11にゲート電位が供給される。

【0048】ゲート電位が閾値電圧以下の場合には非導通状態になり、ドレイン領域とソース領域との間に電流は流れない。ゲート電位が閾値電圧以上の場合にはベース領域の表面部分にチャネルが形成され導通状態になり、ドレイン領域とソース領域との間に電流が流れる。電流はドレイン電極となる配線18aからドレイン領域、チャネル領域、ソース領域のそれぞれを通してソース電極となる配線18bに流れる。

【0049】横型パワーMOSFETにおいては導通状態で電流がドレイン領域とソース領域との間を流れると発熱が生じる。この横型パワーMOSFETの動作で発生する熱は、半導体基板1の活性基板1C上に配線18a等を放熱経路として放熱されるとともに、本実施の形態においては埋設活性体5を放熱経路として活性基板1C下の支持基板1Aに放熱される。埋設活性体5は、本実施の形態において多結晶珪素膜で形成され、熱伝導率が酸化珪素膜に比べて約2桁程度高いので、動作で発生する熱を効率良く放出できる。しかも、埋設活性体5は、発熱体となるドレイン領域の直下、詳細にはドレイン電極となる配線18aとドレイン領域を形成する半導体領域13との接続部分下に配設されるので、即座にかつ効率良く熱を放出できる。

【0050】この放熱用トレンチ4及び埋設活性体5で

構築される放熱構造は、素子領域の底面及び側面の周囲全体を取り囲む素子分離領域を有する場合（SOI構造の半導体基板1を使用する場合）の放熱経路の確保に有効である。さらに、埋設活性体5はn型不純物がドーピングされた多結晶珪素膜で形成され、支持基板1Aはp型単結晶珪素基板で形成されるので、埋設活性体5と支持基板1Aとの間はpn接合分離により完全に接合分離される。

【0051】なお、パワートランジスタ形成領域PTr以外のトランジスタ形成領域NTrにおいては、トランジスタ毎に素子分離領域で底面及び側面の周囲全体が取り囲まれているので、寄生サイリスタに起因するラッチアップは発生しない。

【0052】＜半導体装置の製造方法＞次に、前述の半導体装置の製造方法を説明する。図3（A）乃至図8

（K）は本実施の形態に係る半導体装置の製造方法を各工程毎に示す工程断面構造図である。

【0053】（1）まず、図3（A）に示すように、SOI構造を採用した半導体基板1を準備する。半導体基板1は、支持基板1A上に絶縁体1Bを介して活性基板1Cを張り合わせた（接合した）ものである。張り合わせ前においては半導体基板1にはパターンニング等の加工が行われない。半導体基板1には規格化され市販されるものが使用できる。

【0054】（2）図3（B）に示すように、半導体基板1の活性基板1Cにおいて、素子分離領域（素子間分離領域）、パワートランジスタ形成領域PTrのドレイン領域部分にそれぞれ分離用トレンチ2を形成する。パワートランジスタ形成領域PTrに形成された分離用トレンチ2は後工程においてさらに加工され放熱用トレンチ4として形成される（図4（D）参照）。分離用トレンチ2は、例えばフォトリソグラフィ技術で形成されたエッチングマスクを使用し、RIE等の異方性エッチングを行うことで形成される。分離用トレンチ2は活性基板1Cの表面から裏面に向かって貫通し、分離用トレンチ2の底面は絶縁体1Bの表面に達する。

【0055】（3）図4（C）に示すように、素子分離領域において分離用トレンチ2内部に埋設絶縁体3を埋設する。埋設絶縁体3は、例えば分離用トレンチ2内部が完全に埋め込まれる程度に活性基板1C上にCVD法により酸化珪素膜を堆積し、この堆積された酸化珪素膜を表面からエッチングにより後退させることにより形成される。埋設絶縁体3の形成工程中、パワートランジスタ形成領域PTrはマスクで覆われる。

【0056】（4）図4（D）に示すように、パワートランジスタ形成領域PTrにおいて、既に形成された分離用トレンチ2をさらに加工し、活性基板1C及び絶縁体1Bを貫通し、支持基板1Aに到達する放熱用トレンチ4を形成する。放熱用トレンチ4は、分離用トレンチ2内部において露出する絶縁体1Bをエッチングで除去す

ることにより形成される。エッチングには例えばウェットエッチングが使用される。

【0057】（5）図5（E）に示すように、パワートランジスタ形成領域PTrにおいて、放熱用トレンチ4内部に埋設活性体5を埋設する。埋設活性体5は、埋設絶縁体3と同様に例えば放熱用トレンチ4内部が完全に埋め込まれる程度に活性基板1C上にCVD法により多結晶珪素膜を堆積し、この堆積された多結晶珪素膜を表面からエッチングにより後退させることにより形成される。多結晶珪素膜は堆積中にn型不純物をドーピングすることが好ましい。

【0058】（6）図5（F）に示すように、トランジスタ形成領域NTrにおいて相補型MOSFETのnチャネルMOSFETを形成する活性基板1Cに低不純物濃度のp型ウェル領域6を形成する。本実施の形態において、活性基板1Cは、pチャネルMOSFETを形成するn型ウェル領域として、さらにパワートランジスタ形成領域PTrにおいては横型パワーMOSFETのドレイン領域として、そのまま使用される。なお、活性基板1Cに新たに不純物をドーピングし、別途n型ウェル領域を形成してもよい。

【0059】（7）図6（G）に示すように、パワートランジスタ形成領域PTrの活性基板1C上にゲート絶縁膜10、ゲート電極11を順次形成し、さらにトランジスタ形成領域NTrの活性基板1C上にゲート絶縁膜10p、ゲート電極11pを順次形成するとともに、ウェル領域6上にゲート絶縁膜10n、ゲート電極11nを順次形成する。ゲート絶縁膜10、10n、10pは、いずれも同一製造工程で形成され、例えば熱酸化法を使用した酸化珪素膜で形成される。ゲート電極11、11n、11pは、同様にいずれも同一製造工程で形成され、例えばCVD法で形成された多結晶珪素膜をパターンニングすることにより形成される。多結晶珪素膜には、堆積中、堆積後のパターンニング前、又はパターンニング後に抵抗値を調節する不純物がドーピングされる。

【0060】（8）図6（H）に示すように、パワートランジスタ形成領域PTrにおいて、ベース領域として使用されるp型半導体領域12を形成する。半導体領域12はイオン打込み法又は拡散法で形成する。

【0061】（9）図7（I）に示すように、パワートランジスタ形成領域PTrにおいてドレイン領域を形成するn型半導体領域13、ソース領域を形成するn型半導体領域13、トランジスタ形成領域NTrにおいてnチャネルMOSFETのソース領域及びドレイン領域を形成するn型半導体領域13nを形成する。半導体領域13、13nは、いずれも同一製造工程で形成され、イオン打込み法又は拡散法で形成する。なお、不純物濃度の最適化を図るために、半導体領域13、13nはそれぞれ独立に形成してもよい。

【0062】（10）図7（J）に示すように、パワー

トランジスタ形成領域PTrにおいてベース領域の電位取り出し部分を形成するp型半導体領域14、トランジスタ形成領域NTrにおいてpチャネルMOSFETのソース領域及びドレイン領域を形成するp型半導体領域14pを形成する。半導体領域14、14pは、いずれも同一製造工程で形成され、イオン打込み法又は拡散法で形成する。なお、不純物濃度の最適化を図るために、半導体領域14、14pはそれぞれ独立に形成してもよい。

【0063】(11) 図8(K)に示すように、層間絶縁膜17、接続孔を順次形成した後に配線18a、18b、18Nを形成する。配線18a、18b、18Nはいずれも同一製造工程で形成される。

【0064】(12) そして、前述の図1に示すように、層間絶縁膜19、接続孔を順次形成した後に、配線20、20Nを形成する。配線20、20Nはいずれも同一製造工程で形成される。これら一連の工程を行うことにより、本実施の形態に係るインテリジェントパワーデバイスを備えた半導体装置は完成する。

【0065】このように構成される半導体装置において、放熱用トレンチ4内部に埋設された埋設活性体5は横型パワーMOSFETの動作で発生した熱を支持基板1A側に放熱する放熱経路を構築する。従って、素子分離領域で周囲を囲まれた横型パワーMOSFETの動作で発生する熱が埋設活性体5を通して支持基板1Aに放出できるので、半導体装置の放熱効果が向上できる。さらに、放熱用トレンチ4を形成しこの放熱用トレンチ4内部に埋設活性体5を埋め込むことで放熱効果が向上できるので、支持基板1Aに絶縁体1Bを介して活性基板1Cを張り合わせた既存のSOI構造の半導体基板1が利用でき、簡易に半導体装置が構築できる。

【0066】さらに、半導体装置においては、横型パワーMOSFETのドレイン電流供給部若しくは電流供給が行われるドレイン領域(動作領域)は熱発生量が最も大きい発熱体になる。この発熱体で発生した熱が放熱用トレンチ4に埋設された埋設活性体5を放熱経路として即座にかつ効率良く支持基板1A側に放熱できるので、半導体装置の放熱効果をより一層向上できる。特に、パワーMOSFETは大電流駆動素子であるので、放熱効果の向上は動作上の信頼性を確保するために有効である。

【0067】さらに、半導体装置においては、横型パワーMOSFETの単位トランジスタセルUC毎に放熱経路が配設され、単位トランジスタセルUC数に対応して複数個の放熱経路が配設されるので、放熱効果がより一層向上できる。

【0068】さらに、半導体装置の製造方法においては、支持基板1Aと活性基板1Cとの張り合わせ前にパターンニングを必要としない通常の(若しくは市販されている)SOI構造の半導体基板1が半導体装置の形成

に使用できる。従って、SOI構造の半導体基板1を形成する工程が実質的に半導体装置の製造プロセスに組み込まれないので、半導体装置の製造工程数が削減できる。しかも、分離用トレンチ2、放熱用トレンチ4等が、高価な透過型アライナを必要とせずに、通常のアライナを使用して活性基板1Cの表面から加工できる。

【0069】さらに、半導体装置の製造方法において、素子分離領域の分離用トレンチ2を形成する工程で、パワートランジスタ形成領域PTrの放熱用トレンチ4の一部(活性基板1Cの貫通まで)を形成できるので、放熱用トレンチ4全体を形成する工程が短縮でき、半導体装置の製造プロセスが簡易になるとともに、放熱用トレンチ4を独立に形成した場合のマスク形成工程がなくなるので、半導体装置の製造工程数が削減できる。

【0070】以上説明したように、本実施の形態に係る半導体装置においては、通常のトランジスタとパワートランジスタとが同一半導体基板1に混在するインテリジェントパワーデバイスが構築でき、しかもパワートランジスタが形成された素子領域の放熱効果が向上できる。

【0071】(第2の実施の形態) 本実施の形態は、前述の第1の実施の形態に係る半導体装置においてSOI構造の半導体基板の支持基板1Cをパワートランジスタのドレイン領域として使用した場合を説明する。すなわち、本実施の形態に係る半導体装置は、縦型パワーMOSFETを搭載する。

【0072】図9は本発明の第2の実施の形態に係るインテリジェントパワーデバイスを備えた半導体装置の断面構造図である。図9に示すように、本実施の形態に係るインテリジェントパワーデバイスを備えた半導体装置はSOI構造を採用する半導体基板1で構成される。半導体基板1は支持基板1Aの表面上に絶縁体1Bを介して活性基板1Cの裏面を張り合わせて形成される。支持基板1Aは本実施の形態において高不純物濃度のn型単結晶珪素基板で形成され、この支持基板1Aは縦型パワーMOSFETのドレイン領域を形成する。支持基板1Aの裏面には全面に裏面電極22が形成される。絶縁体1Bは例えば酸化珪素膜で形成される。活性基板1Cは、トランジスタの動作領域を構築し、本実施の形態において低不純物濃度に設定されたn型単結晶珪素基板で形成される。

【0073】半導体基板1の活性基板1Cには素子分離領域で周囲が取り囲まれた複数の素子領域が配設される。素子領域には少なくともトランジスタ形成領域NTr、パワートランジスタ形成領域PTrを備え、トランジスタ形成領域NTrには通常のトランジスタ、パワートランジスタ形成領域PTrにはパワートランジスタがそれぞれ配設される。本実施の形態において、トランジスタとしては相補型MOSFETが形成され、パワートランジスタとしては縦型パワーMOSFETが形成される。

【0074】素子分離領域は、半導体基板1の絶縁体1Bと、活性基板1Cの表面から裏面に貫通し絶縁体1Cに達する分離用トレンチ2と、分離用トレンチ2内部に埋設された埋設絶縁体3と、埋設絶縁体3上部に配設された分離用絶縁膜21とで形成される。素子分離領域は、素子領域の底面を絶縁体1Bで覆い、素子領域の周囲を埋設絶縁体3で覆う。分離用絶縁膜21は例えば活性基板1Cの表面を選択的に酸化した酸化珪素膜で形成される。

【0075】前述の第1の実施の形態に係る半導体装置と同様に、図9中、左側に示すトランジスタ形成領域NTrには相補型MOSFETが形成される。相補型MOSFETのpチャネルMOSFET間、nチャネルMOSFET間、pチャネルMOSFETとnチャネルMOSFETとの間は分離用絶縁膜21を含む素子分離領域で周囲を囲まれる。

【0076】図9中、右側に示すように、パワートランジスタ形成領域PTrには縦型パワーMOSFETが形成される。図10はパワートランジスタ形成領域PTrに形成された横型パワーMOSFETの平面構造図である。図10に示すように、縦型パワーMOSFETは、複数の単位トランジスタセルUCを行方向及び列方向に配列し、これらの単位トランジスタセルUCを電氣的に並列接続することにより構築される。本実施の形態に係る縦型パワーMOSFETは支持基板1A側からドレイン電流が供給されるので、図10に示すように複数の単位トランジスタセルUCはドレイン領域を除きソース領域（及びベース領域の電位引き出し部分）が活性基板1C表面に配設される。

【0077】図9に示すように、複数の単位トランジスタセルUCで構築された縦型パワーMOSFETにおいては、全体として1つの素子分離領域により周囲が取り囲まれる。素子分離領域は、トランジスタ形成領域NTrを取り囲む素子分離領域と同様に、半導体基板1の絶縁体1B、分離用トレンチ2、分離用トレンチ2内部に埋設された埋設絶縁体3、及び分離用絶縁膜21で形成される。

【0078】図9及び図10に示すように、縦型パワーMOSFETの1つの単位トランジスタセルUCは、ドレイン領域、ベース領域、ソース領域、ゲート絶縁膜10及びゲート電極11を備え構築される。

【0079】この単位トランジスタセルUCのドレイン領域は、高不純物濃度に設定されたn型の支持基板1A、低不純物濃度に設定されたn型の活性基板1C、及び放熱用トレンチ4内部に埋設された埋設活性体5で形成される。活性基板1Cは単位トランジスタセルUCの実質的なドレイン領域として使用される。

【0080】支持基板1Aは裏面電極22から埋設活性体5にドレイン電流を供給するドレインシンカー領域として使用される。

【0081】放熱用トレンチ4は、ドレイン電流供給部（供給部直上）において、半導体基板1の活性基板1C及び絶縁体1Bを貫通し、少なくとも支持基板1A表面に放熱用トレンチ4の底面が到達する深さで形成される。放熱用トレンチ4は基本的には分離用トレンチ2と同様にRIE等の異方性エッチングを主体に形成され、放熱用トレンチ4の平面上の占有面積はできる限り小さく設定される。

【0082】放熱用トレンチ4内部に埋設された埋設活性体5には、本実施の形態において、高不純物濃度でn型不純物がドーブされた多結晶珪素膜が使用される。埋設活性体5は、ドレイン領域、具体的には活性基板1Cで形成されるドレイン領域とドレイン領域にドレイン電流を供給する支持基板1Aとの間を電氣的にかつ低抵抗値で接続するドレインシンカー領域として使用される。さらに、埋設活性体5は、放熱用トレンチ4を通して半導体基板1の支持基板1A表面に接合されており、単位トランジスタセルUCの動作で発生する熱を支持基板1A側に伝達する放熱経路を構築する。

【0083】図9及び図10に示すように、放熱用トレンチ4及びこの放熱用トレンチ4内部に埋設された埋設活性体5は基本的には単位トランジスタセルUC毎に配設される。縦型パワーMOSFETにおいては、ドレイン電流の供給が半導体基板1の支持基板1A裏面から行われるので、活性基板1C表面にはソース領域が行方向及び列方向に敷き詰めて配列されたレイアウトになる。放熱用トレンチ4及び埋設活性体5は1つの単位トランジスタセルUCのソース領域の周囲を取り囲むように配設され、パワートランジスタ形成領域PTrにおいて放熱用トレンチ4及び埋設活性体5の平面形状は格子形状になる。すなわち、第1の実施の形態で説明した半導体装置に比べて、本実施の形態に係る半導体装置はパワートランジスタ形成領域PTrにおいて放熱用トレンチ4及び埋設活性体5が高密度に配設される。

【0084】本実施の形態に係る埋設活性体5は支持基板1Aとの間で電氣的にも接続されるので、n型不純物がドーブされた多結晶珪素膜に限らず、高融点金属膜、又は高融点金属と珪素との化合物（高融点金属シリサイド）膜が埋設活性体5として使用できる。高融点金属膜にはタングステン膜、モリブデン膜、チタン膜のいずれかが実的に使用できる。化合物膜にはタングステンシリサイド膜、モリブデンシリサイド膜、チタンシリサイド膜のいずれかが実的に使用できる。これらの高融点金属膜又は化合物膜においては、多結晶珪素膜に比べて電気抵抗値が小さいだけでなく、熱電導率も小さい特徴がある。高融点金属膜又は化合物膜が使用される場合には、放熱用トレンチ4内壁に沿って活性基板1Cに、放熱用トレンチ4底面に沿って支持基板1Aにそれぞれオーミック接続を確保する高不純物濃度のn型半導体領域を形成することが好ましい。

【0085】前述の第1の実施の形態に係る半導体装置と同様に、単位トランジスタセルUCのベース領域は、活性基板1Cの表面部分に形成され、低不純物濃度のp型半導体領域12で形成される。このベース領域である半導体領域12はソース領域に囲まれた（図10参照）高不純物濃度のp型半導体領域14に電氣的に接続され、この半導体領域14を通してベース領域の電位が取り出される。

【0086】ソース領域は、ベース領域となる半導体領域12の表面部分に形成され、高不純物濃度のn型半導体領域13で形成される。

【0087】図9に示すように、縦型パワーMOSFETの単位トランジスタセルUCにおいて、ソース領域を形成する半導体領域13には配線（ソース電極）18が接続され、この同一の配線18はベース領域を形成する半導体領域12に半導体領域14を通して電氣的に接続される。縦型パワーMOSFETにおいては、半導体基板1裏面側に裏面電極22が配設されているので、半導体基板1表面側には単層の配線18が配設されればよい。

【0088】＜縦型パワーMOSFETの動作＞次に、前述の図9及び図10に示す縦型パワーMOSFETの動作を説明する。縦型パワーMOSFETのそれぞれの単位トランジスタセルUCにおいて、ソース領域、ベース領域のそれぞれに接地電位又は低電位が供給され、ドレイン領域に素子耐圧以下の高電位が供給される。それぞれの単位トランジスタセルUCのドレイン領域とソース領域との間には電位差が生じ、この状態でゲート電極11にゲート電位が供給される。

【0089】ゲート電位が閾値電圧以下の場合には非導通状態になり、ドレイン領域とソース領域との間に電流は流れない。ゲート電位が閾値電圧以上の場合にはベース領域表面部分にチャネルが形成され導通状態になり、ドレイン領域とソース領域との間に電流が流れる。電流は裏面電極22からドレイン領域、ベース領域、ソース領域のそれぞれを通してソース電極となる配線18に流れる。

【0090】縦型パワーMOSFETにおいては導通状態で電流がドレイン領域とソース領域との間を流れると発熱が生じる。この縦型パワーMOSFETの動作で発生する熱は、半導体基板1の活性基板1C上に配線18等を放熱経路として放熱されるとともに、本実施の形態においては埋設活性体5を放熱経路として活性基板1C下の支持基板1Aに放熱される。埋設活性体5は、本実施の形態において多結晶珪素膜で形成され、熱伝導率が酸化珪素膜に比べて高いので、動作で発生する熱を効率良く放出できる。しかも、埋設活性体5は、発熱体となるドレイン領域の直上に配設されるので、即座にかつ効率良く熱を放出できる。

【0091】この放熱用トレンチ4及び埋設活性体5で

構築される放熱構造は、素子領域の底面及び側面の周囲全体を取り囲む素子分離領域を有する場合の放熱経路の確保に有効である。さらに、縦型パワーMOSFETにおいては、埋設活性体5に支持基板1Cとの間でpn接合を形成しない高融点金属膜又は化合物膜が使用できる。高融点金属膜又は化合物膜は、電気抵抗値を減少できるので、縦型パワーMOSFETの動作速度の高速化を実現できるとともに、熱伝導率を減少でき、より一層放熱効果を向上できる。

【0092】なお、パワートランジスタ形成領域PTr以外のトランジスタ形成領域NTrにおいては、トランジスタ毎に素子分離領域で底面及び側面の周囲全体が取り囲まれているので、寄生サイリスタに起因するラッチアップは発生しない。

【0093】＜半導体装置の製造方法＞次に、前述の半導体装置の製造方法を説明する。図11（A）乃至図16（K）は本実施の形態に係る半導体装置の製造方法を各工程毎に示す工程断面構造図である。

【0094】（1）まず、図11（A）に示すように、SOI構造を採用した半導体基板1を準備する。半導体基板1は、高不純物濃度のn型単結晶珪素基板からなる支持基板1A上に絶縁体1Bを介して活性基板1Cを張り合わせたものである。張り合わせ前においては半導体基板1にはパターンニング等の加工が行われない。半導体基板1には規格化され市販されるものが使用できる。

【0095】（2）図11（B）に示すように、半導体基板1の活性基板1Cにおいて、素子分離領域（素子間分離領域）、パワートランジスタ形成領域PTrのドレイン領域部分にそれぞれ分離用トレンチ2を形成する。パワートランジスタ形成領域PTrに形成された分離用トレンチ2は後工程においてさらに加工され放熱用トレンチ4として形成される（図12（D）参照）。

【0096】（3）図12（C）に示すように、素子分離領域において分離用トレンチ2内部に埋設絶縁体3を埋設する。埋設絶縁体3は例えば酸化珪素膜で形成される。

【0097】（4）図12（D）に示すように、パワートランジスタ形成領域PTrにおいて、既に形成された分離用トレンチ2をさらに加工し、活性基板1C及び絶縁体1Bを貫通する放熱用トレンチ4を形成する。

【0098】（5）図13（E）に示すように、パワートランジスタ形成領域PTrにおいて、放熱用トレンチ4内部に埋設活性体5を埋設する。埋設活性体5は例えばn型不純物がドーパされた多結晶珪素膜で形成される。

【0099】（6）図13（F）に示すように、トランジスタ形成領域NTrにおいて相補型MOSFETのnチャネルMOSFETを形成する活性基板1Cに低不純物濃度のp型ウェル領域6を形成する。

【0100】（7）図14（G）に示すように、素子分

離領域において埋設絶縁体 3 上部に分離用絶縁膜 2 1、パワートランジスタ形成領域 P T r において埋設活性体 5 上部に分離用絶縁膜 2 1 のそれぞれを形成する。分離用絶縁膜 2 1 は選択酸化法で形成した酸化珪素膜で形成される。

【0101】(8) 図 14 (H) に示すように、パワートランジスタ形成領域 P T r の活性基板 1 C 上にゲート絶縁膜 1 0、ゲート電極 1 1 を順次形成し、トランジスタ形成領域 N T r の活性基板 1 C 上にゲート絶縁膜 1 0 p、ゲート電極 1 1 p を順次形成し、さらにウエル領域 6 上にゲート絶縁膜 1 0 n、ゲート電極 1 1 n を順次形成する。

【0102】(9) 図 15 (I) に示すように、パワートランジスタ形成領域 P T r において、ベース領域として使用される p 型半導体領域 1 2 を形成する。

【0103】(10) 図 15 (J) に示すように、パワートランジスタ形成領域 P T r においてソース領域を形成する n 型半導体領域 1 3、トランジスタ形成領域 N T r において n チャネル MOS F E T のソース領域及びドレイン領域を形成する n 型半導体領域 1 3 n を形成する。

【0104】(11) 図 16 (K) に示すように、パワートランジスタ形成領域 P T r においてベース領域の電位取り出し部分を形成する p 型半導体領域 1 4、トランジスタ形成領域 N T r において p チャネル MOS F E T のソース領域及びドレイン領域を形成する p 型半導体領域 1 4 p を形成する。

【0105】(12) 図 9 に示すように、層間絶縁膜 1 7、接続孔を順次形成した後に配線 1 8、1 8 N を形成する。そして、半導体基板 1 の裏面に裏面電極 2 2 を形成する。これら一連の工程を行うことにより、本実施の形態に係るインテリジェントパワーデバイスを備えた半導体装置は完成する。

【0106】このように構成される半導体装置においては、前述の第 1 の実施の形態に係る半導体装置で得られる効果と同様の効果が得られる。

【0107】さらに、半導体装置は半導体基板 1 表面側に 1 層の配線 1 8 及び 1 8 N を形成すればよいので、配線を平均化する工程等も 1 回で済み、合計の製造工程数が減少できる。

【0108】(第 3 の実施の形態) 本実施の形態は、前述の第 1 の実施の形態に係る半導体装置において、横型パワー MOS F E T の平面レイアウト形状を代えた場合を説明する。図 17 は本発明の第 3 の実施の形態に係る半導体装置の横型パワー MOS F E T の平面構造図である。

【0109】図 17 に示すように、本実施の形態に係るインテリジェントパワーデバイスを備えた半導体装置において、横型パワー MOS F E T の単位トランジスタセル U C のドレイン領域、ソース領域のそれぞれを形成す

る n 型半導体領域 1 3 は行方向に細長いストライプ形状で形成され、それぞれの半導体領域 1 3 は列方向に交互に配列される。放熱用トレンチ 4 はドレイン領域を形成する半導体領域 1 3 の中央部分に配設され、半導体領域 1 3 と同様に放熱用トレンチ 4 は細長いストライプ形状で形成される。埋設活性体 5 はストライプ形状の放熱用トレンチ 4 内部に埋設される。このように本実施の形態においては細長いストライプ形状の平面形状を有する放熱構造が構築できる。

【0110】本発明は前述の実施の形態に限定されない。例えば、本発明は、前述の S O I 構造を採用する半導体基板 1 において、パワートランジスタ形成領域 P T r の活性基板 1 C の裏面部分に高不純物濃度の n 型半導体領域を形成し、この n 型半導体領域を横型パワー MOS F E T のドレイン領域の一部としてもよい。

【0111】さらに、本発明は、横型パワー MOS F E T、縦型パワー MOS F E T のそれぞれのチャネル導電型を p 型に設定してもよい。

【0112】さらに、本発明は、横型パワー I G B T 又は縦型パワー I G B T を備えた半導体装置に適用できる。

【図面の簡単な説明】

【図 1】本発明の第 1 の実施の形態に係るインテリジェントパワーデバイスを備えた半導体装置の断面構造図である。

【図 2】第 1 の実施の形態に係る横型パワー MOS F E T の平面構造図である。

【図 3】(A)、(B) はそれぞれ第 1 の実施の形態に係る半導体装置の工程断面構造図 (その 1) である。

【図 4】(C)、(D) はそれぞれ第 1 の実施の形態に係る半導体装置の工程断面構造図 (その 2) である。

【図 5】(E)、(F) はそれぞれ第 1 の実施の形態に係る半導体装置の工程断面構造図 (その 3) である。

【図 6】(G)、(H) はそれぞれ第 1 の実施の形態に係る半導体装置の工程断面構造図 (その 4) である。

【図 7】(I)、(J) はそれぞれ第 1 の実施の形態に係る半導体装置の工程断面構造図 (その 5) である。

【図 8】(K) は第 1 の実施の形態に係る半導体装置の工程断面構造図 (その 6) である。

【図 9】本発明の第 2 の実施の形態に係るインテリジェントパワーデバイスを備えた半導体装置の断面構造図である。

【図 10】第 2 の実施の形態に係る横型パワー MOS F E T の平面構造図である。

【図 11】(A)、(B) はそれぞれ第 2 の実施の形態に係る半導体装置の工程断面構造図 (その 1) である。

【図 12】(C)、(D) はそれぞれ第 2 の実施の形態に係る半導体装置の工程断面構造図 (その 2) である。

【図 13】(E)、(F) はそれぞれ第 2 の実施の形態に係る半導体装置の工程断面構造図 (その 3) である。

【図14】(G)、(H)はそれぞれ第2の実施の形態に係る半導体装置の工程断面構造図(その4)である。

【図15】(I)、(J)はそれぞれ第2の実施の形態に係る半導体装置の工程断面構造図(その5)である。

【図16】(K)は第2の実施の形態に係る半導体装置の工程断面構造図(その6)である。

【図17】本発明の第3の実施の形態に係るインテリジェントパワーデバイスを備えた半導体装置の横型パワーMOSFETの平面構造図である。

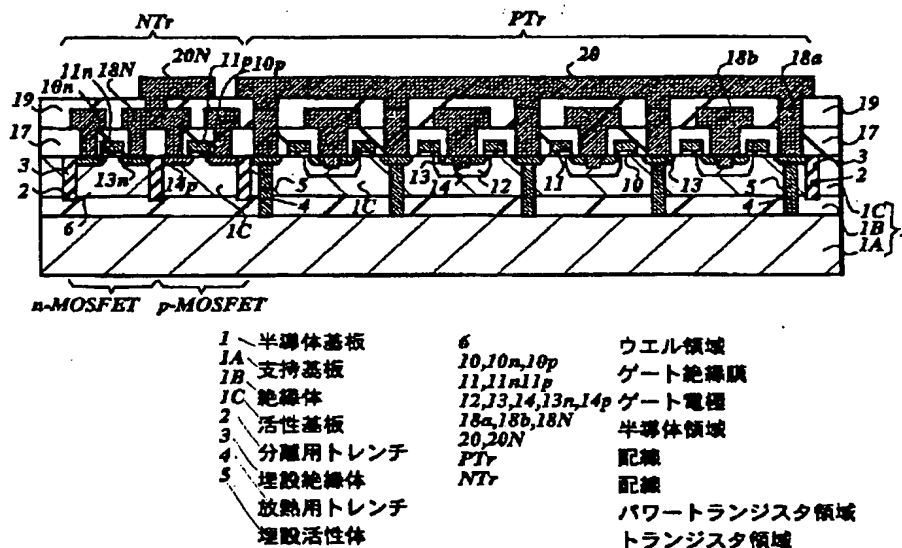
【図18】(A)乃至(C)は先行技術に係る半導体装置の製造方法を工程毎に説明する工程断面図である。

【符号の説明】

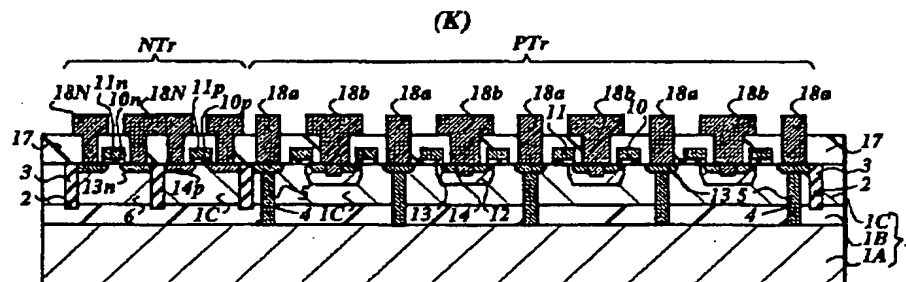
- 1 半導体基板
1A 支持基板
1B 絶縁体

- 1C 活性基板
2 分離用トレンチ
3 埋設絶縁体
4 放熱用トレンチ
5 埋設活性体
6 ウェル領域
10, 10n, 10p ゲート絶縁膜
11, 11n, 11p ゲート電極
12, 13, 13n, 13p, 14, 14p 半導体領域
18, 18a, 18b, 18N, 20, 20N 配線
21 分離用絶縁膜
22 裏面電極
PTr パワートランジスタ形成領域
NTr トランジスタ形成領域

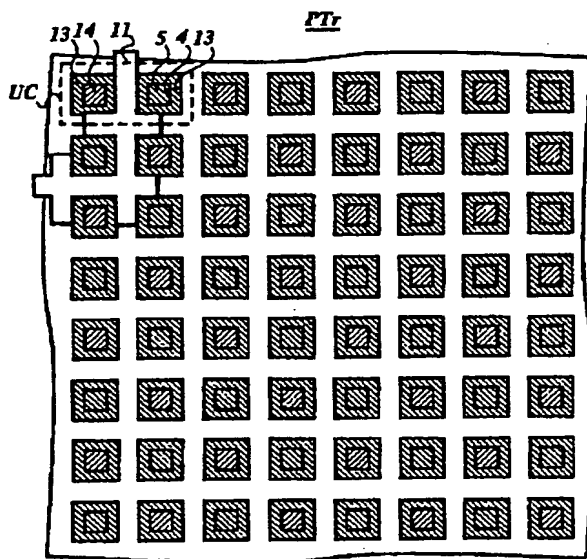
【図1】



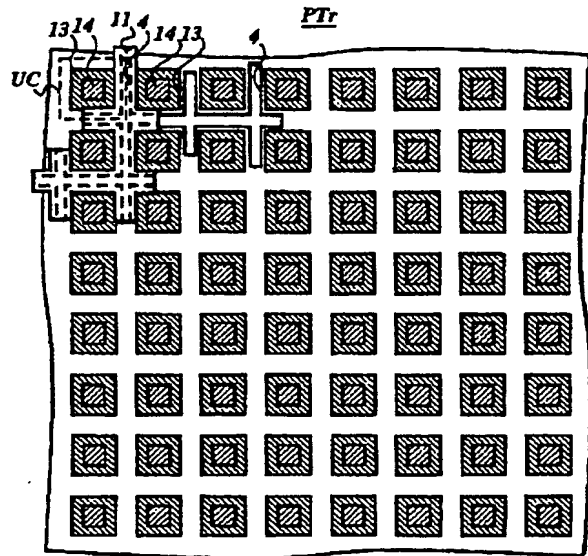
【図8】



【図 2】

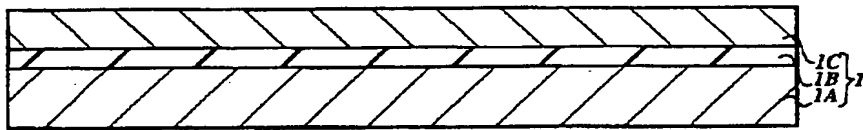


【図 10】

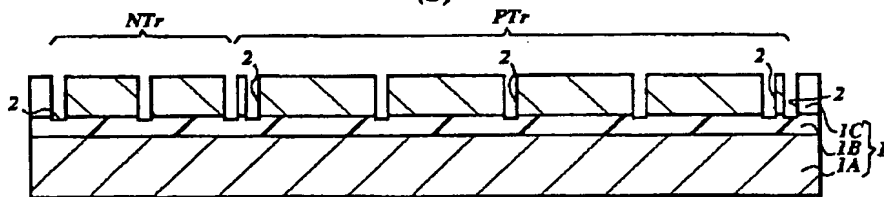


【図 3】

(A)

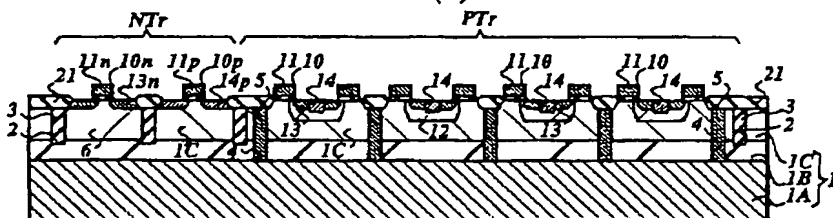


(B)

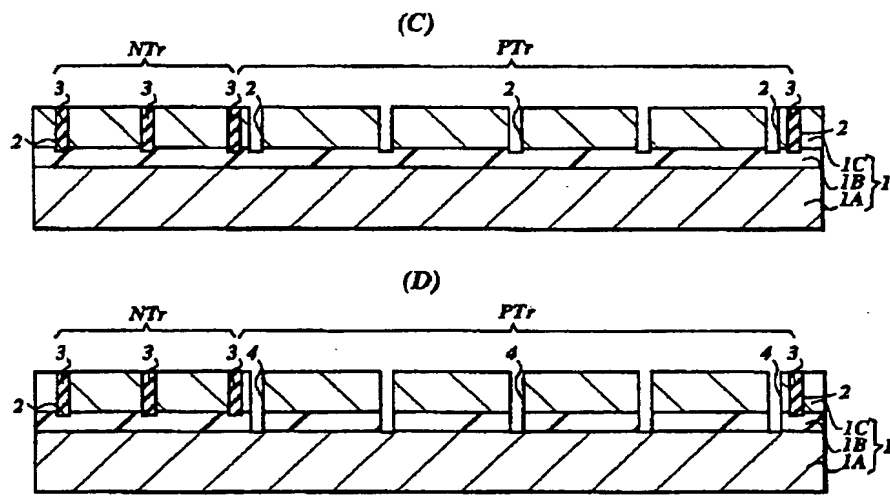


【図 16】

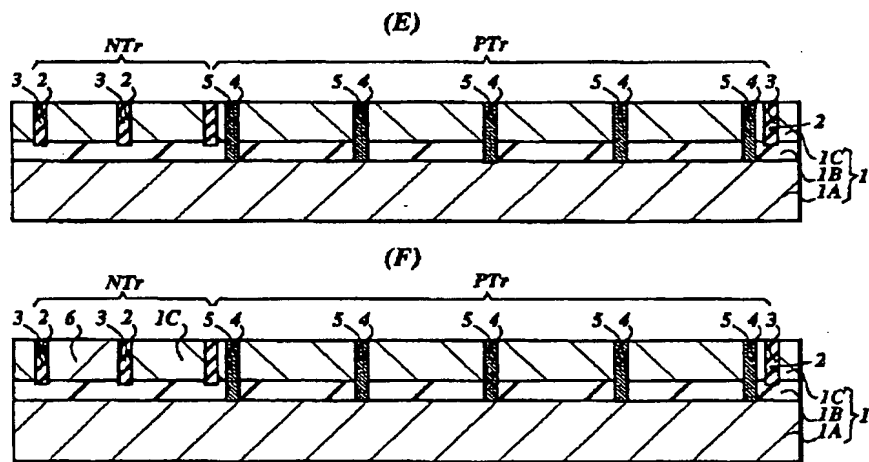
(K)



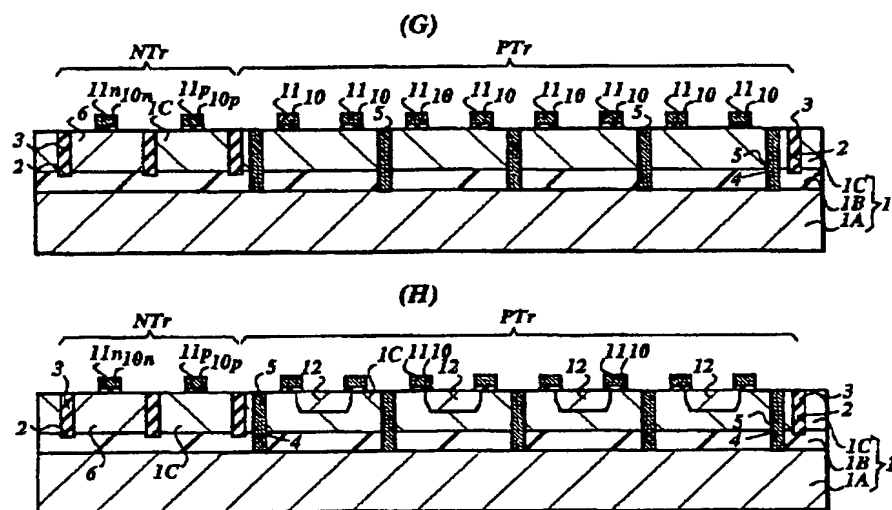
【図 4】



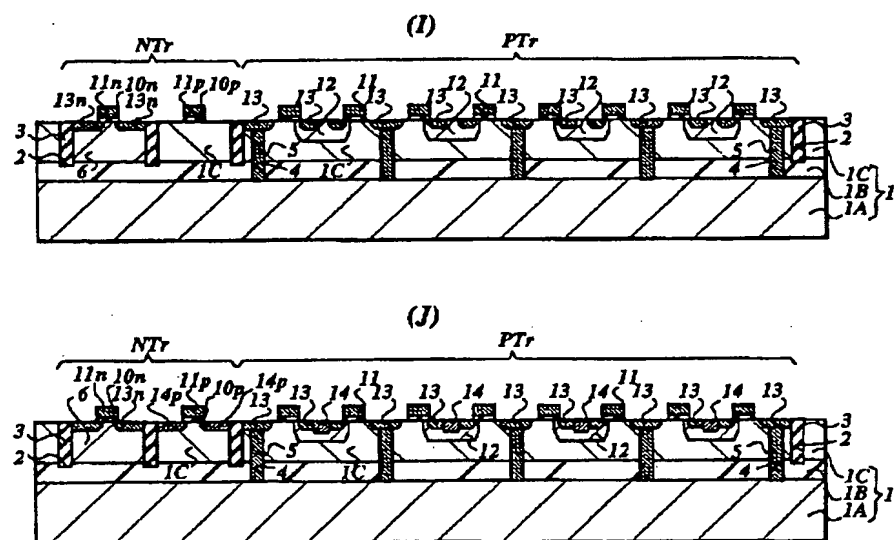
【図 5】



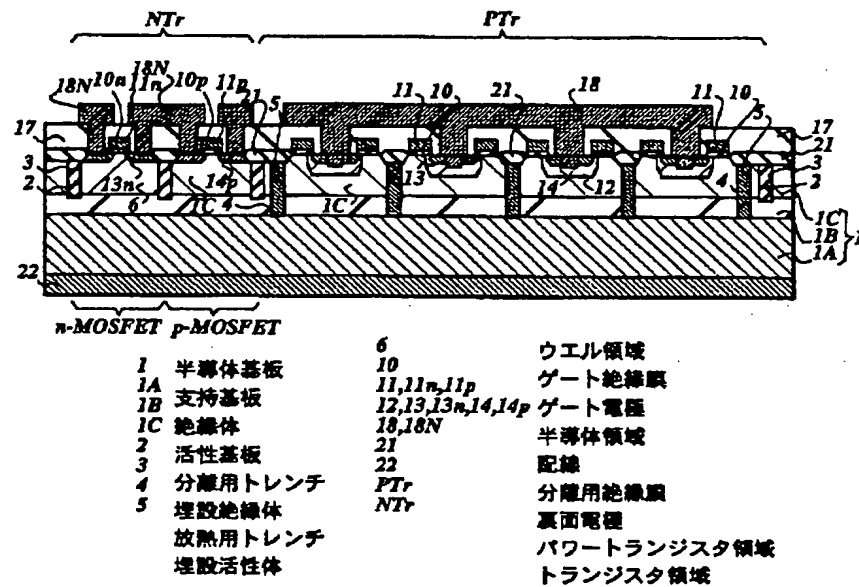
【図 6】



【図 7】

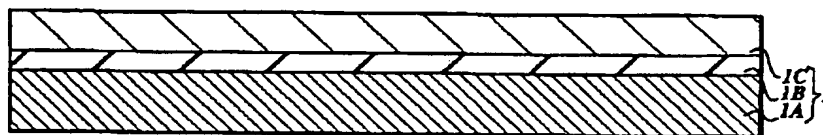


【図 9】

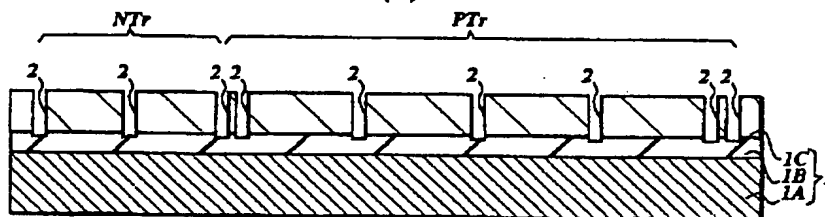


【図 11】

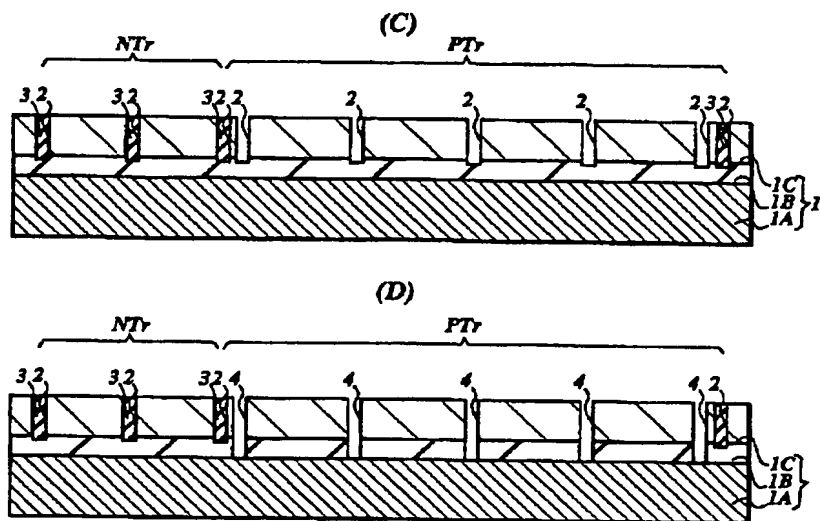
(A)



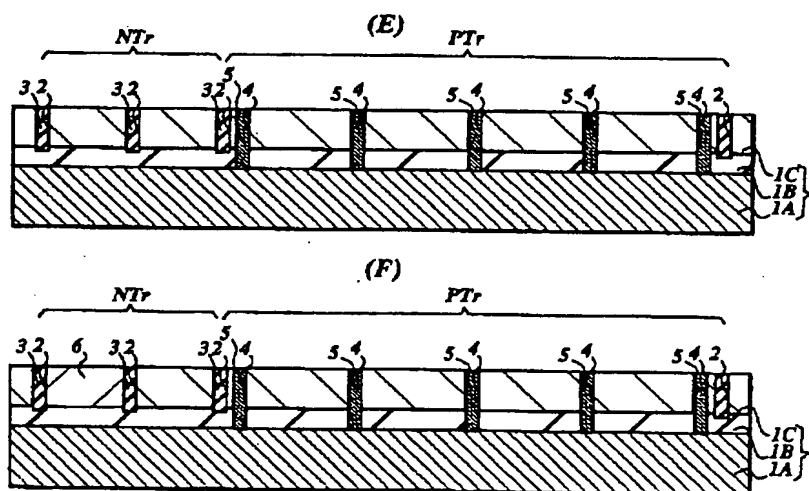
(B)



【図 1 2】



【図 1 3】



(3) Japanese Patent Application Laid-Open No. 10-270704 (1998)
"Semiconductor Integrated Circuit Device"

The following is English translation of paragraph 【0023】, lines 1-3 of the document.

【0023】 In the semiconductor integrated circuit of the present invention shown in Fig. 1, the transistors (5p), (5n) are connected to the semiconductor substrate (1) through the power supply line (6) and the ground line (7).

The following is English translation of paragraph 【0030】 of the document. The translator put supplementary words in brackets.

【0030】 The third advantage [of this invention] is to suppress the deterioration in the electric performances of the transistors due to heat generation during operation. The advantage results from heat dissipation from the transistors to the semiconductor substrate through the power supply line and the ground line.

The following is English translation of page 4, right column, lines 28 to 42 of the document.

【Description of symbols】

- 1 P-type or N-type semiconductor substrate
- 2 N-well
- 3 P-well
- 4 insulator layer

- 5p P-channel transistor
- 5n N-channel transistor
- 6 power supply line
- 7 ground line
- 8 signal line
- 9 electrode
- 10 electrode
- 11 P-type semiconductor substrate
- 12 N-type impurity region
- 13 backward-bias application electrode